



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Patentschrift**
⑩ **DE 197 18 479 C 1**

⑤1 Int. Cl.⁶:
G 11 C 16/06

②1 Aktenzeichen: 197 18 479.0-53
②2 Anmeldetag: 30. 4. 97
④3 Offenlegungstag: -
④5 Veröffentlichungstag
der Patenterteilung: 24. 9. 98

DE 197 18 479 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:
Siemens AG, 80333 München, DE

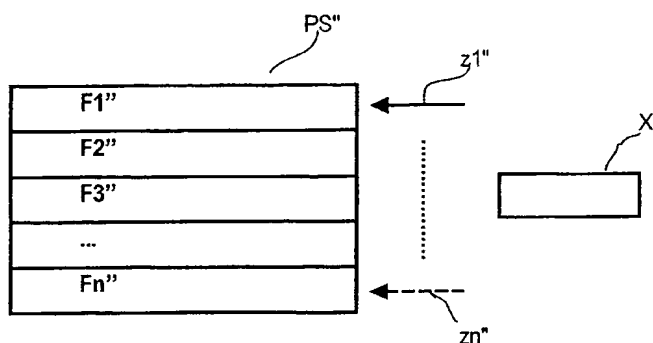
⑦2 Erfinder:
Weinländer, Markus, 91230 Happurg, DE

⑤6 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

EP 05 62 669 A1
EP 05 44 252 A2

⑤4 **Chipkarte mit Speicherzugriffsmaximierung und Protokollierung**

⑤7 Chipkarte (CK) weist eine Programmausführungseinheit (P) und einen nichtflüchtigen Speicher (PS) auf, dessen Speicherzellen (F1...Fn) eine maximale Anzahl von schreibenden Speicherzugriffen zulassen. Dabei weist der Speicher (PS) zumindest Speicherbereiche (F1...Fn) auf, denen jeweils ein Kennfeld (z1...zn) zugeordnet ist. Die Kennfelder weisen jeweils einen Kennwert (X, i...i+(n-1)Δ) auf, wobei die Größe der Kennwerte ein Maß für die zeitliche Abfolge (F) ist, mit der schreibende Speicherzugriffe auf die jeweils zugeordneten Speicherbereiche (F1...Fn) erfolgt sind. Des weiteren wird bei einem schreibenden Zugriff auf den Speicher (PS) durch Auswertung der Kennwerte zunächst der Speicherbereich (F2) bestimmt, welcher als ältester beschrieben wurde und dann auf diesen zugegriffen. Dabei wird der Kennwert (i) des diesem zugeordneten Kennfelds (z2) derartig verändert, daß der zugeordnete Speicherbereich (F2) als jüngster beschriebener erkannt wird. Vorteilhaft ist es, daß entsprechend der Anzahl n der verwendeten Speicherbereiche das n-fache der maximalen Anzahl schreibender Speicherzugriffe bezüglich eines einzelnen Speicherbereichs ausführbar sind. Gleichzeitig liegt dabei eine Protokollierung vorangegangener schreibender Speicherzugriffe vor.



DE 197 18 479 C 1

Chipkarten weisen häufig einen nichtflüchtigen Speicher auf, dessen Speicherzellen nur eine maximal mögliche Anzahl von schreibenden Speicherzugriffen zulassen. Derartige Speicher sind beispielsweise nichtflüchtige EEPROM-Speicherelemente. Diese erlauben derzeit etwa hunderttausend speichernde, d. h. inhaltsverändernde Zugriffe pro Speicheradresse. Bei einem Versuch, über die Maximalanzahl hinausgehende speichernde Zugriffe auszuführen, ist nicht mehr sichergestellt, daß die entsprechende Speicheradresse den neuen Speicherwert dauerhaft beibehält oder diesen überhaupt annimmt.

Aus der EP 0 562 669 A1 ist eine Vorrichtung zur Bestätigung der in einen Speicher eingeschriebenen Daten bekannt. Der aktuelle Wert und die Position für einen folgenden, abzuspeichernden Datensatz wird dabei durch die relative Position zu den Adressen von zwei gelöschten Speicherzellen ermittelt.

Aus der EP 0 544 252 A2 ist ein Daten Managementsystem für einen Speicher bekannt, der in Speicherbereiche unterteilt ist und in den Daten nur mit einer begrenzten Häufigkeit eingeschrieben werden können. Mit dem Daten Managementsystem soll eine Vergleichmäßigung der Schreibzugriffe auf den Speicher erreicht werden. Hierzu wird bei jedem Speicherbereich die Anzahl der bereits erfolgten Programmierzugriffe erfaßt. Neue Daten werden dann in denjenigen Speicherbereich eingeschrieben, welcher die aktuelle geringste Anzahl an Programmierzugriffen aufweist.

Bei Chipkartenanwendungen, welche eine hohe Anzahl von speichernden Zugriffen ermöglichen sollen, liegen deshalb Datenfelder, welche sehr häufig verändert werden müssen, beispielsweise in Form eines 'ringpufferartigen Speicherbereichs' oder eines 'multischreibfähigen Speicherbereichs' vor.

Fig. 1 zeigt beispielhaft einen bekannten, sogenannten 'ringpufferartigen Speicherbereich' PS'. Dieser weist gleichartig strukturierte Datenfelder F1' bis Fn' auf, welche jeweils eine maximal mögliche Anzahl von schreibenden Speicherzugriffen zulassen. Ein zu schreibender Datensatz wird bei einem ersten schreibenden Speicherzugriff zunächst in dem ersten Datenfeld F1' abgespeichert. Bei einem weiteren schreibenden Speicherzugriff wird der Datensatz im zweiten und bei weiteren schreibenden Speicherzugriffen in den folgenden Datenfeldern F2' bis Fn' abgespeichert. Danach werden nacheinander wieder das erste, das zweite und die nachfolgenden Datenfelder F1' .. Fn' beschrieben. Ein Speicherelement X' dient dabei als Zeiger z1' .. zn', der auf das aktuell zu beschreibende Datenfeld F1', F2' .. oder Fn' zeigt. Ist das Speicherelement X' mit dem Zeiger zn' bei dem Datenfeld Fn' angekommen, folgt als nächstes wieder das erste Datenfeld F1' mit dem Zeiger z1'. Durch die in der **Fig. 1** durch den Pfeil s' angedeutete rotierende Abspeicherung in den Datenfeldern F1' .. Fn' liegt gleichzeitig eine Protokollierung der vorangegangenen schreibenden Speicherzugriffe vor, da die Datenfelder F1' .. Fn' der Anzahl n neben dem aktuellen Datensatz noch die vorangegangenen Datenfelder der Anzahl n - 1 aufweisen. Eine Protokollierung ist beispielsweise bei Chipkarten erwünscht, welche Verwendung im elektronischen Geldtransfer finden und bei denen eine Protokollierung der letzten Buchungsvorgänge oder vorangegangener Verschlüsselungswerte erfolgen muß.

Nachteilig ist es, daß das Speicherelement X', welches als Zeigerelement dazu dient, das als nächstes zu beschreibende Datenfeld anzugeben, in der Regel ein nichtflüchtiges Speicherelement mit einer maximal zulässigen Anzahl von schreibenden Speicherzugriffen ist. Wird die 'Lebensdauer' des Speicherelements X' überschritten, so ist nicht mehr si-

chergestellt, daß der abgespeicherte Zeigerwert z1' .. zn' von der Speicherzelle sicher beibehalten wird.

Besonders nachteilig ist es, daß bei Erreichen der maximal zulässigen Anzahl von schreibenden Speicherzugriffen auf das Speicherelement X' demgegenüber auf die Datenfelder F1' bis Fn' entsprechend der Anzahl von n Datenfeldern F1' .. Fn' erst das 1/n-fache der maximal möglichen schreibenden Speicherzugriffe erreicht ist. Die 'Lebensdauer' der Datenfelder F1' .. Fn' wird somit nicht voll ausgenutzt.

In der **Fig. 2** ist beispielhaft ein weiterer, bekannter Speicher PS" dargestellt, der in Form eines sogenannten 'multischreibfähigen Speicherbereichs' vorliegt. Dabei dient ein Speicherelement X" als Zeiger bzw. Index für die Datenfelder F1" .. Fn". Dies ist in der **Fig. 2** beispielhaft durch die mit den Bezugszeichen z1" bis zn" versehenen Pfeile dargestellt. Im Unterschied zu der in der **Fig. 1** dargestellten Zugriffsweise, wird dabei von schreibenden Speicherzugriffen solange auf ein bestimmtes Datenfeld zugegriffen, bis für dieses die maximale Zugriffsanzahl erreicht ist. Dann erst wird der Zeigerwert z1" .. zn" des Speicherelements X" auf das folgende Datenfeld F2" .. Fn" gesetzt. Ist der letzte Zeigerwert zn" des Speicherelements X" erreicht und die maximale Zugriffsanzahl des Datenfelds Fn" ausgeschöpft, so können keine weiteren speichernden Zugriffe mehr ausgeführt werden. Insgesamt können somit auf den Speicher PS" das n-fache der maximalen Anzahl schreibender Speicherzugriffe bezüglich eines einzelnen Datenfelds F1" .. Fn" ausgeführt werden.

Nachteilig ist es, daß keine gleichzeitige Protokollierung vorangegangener schreibender Speicherzugriffe erfolgen kann.

Aufgabe der Erfindung ist es, eine Chipkarte mit einem nur eine begrenzte, maximale Anzahl von den Speicherinhalt verändernden Speicherzugriffen zulassenden Speicher anzugeben, welche die Ausnutzung der maximalen Anzahl schreibender Speicherzugriffe auf den Speicher und eine Protokollierung der vorangegangenen Speicherzugriffe ermöglicht.

Die Aufgabe wird gelöst mit der im Anspruch 1 angegebenen erfindungsgemäßen Chipkarte und dem im Anspruch 3 angegebenen erfindungsgemäßen Verfahren zum Betrieb der Chipkarte.

Vorteilhaft ist es, daß entsprechend der Anzahl n der verwendeten Speicherbereiche das n-fache der maximal möglichen Anzahl schreibender Speicherzugriffe bezüglich eines einzelnen Speicherbereichs ausführbar sind. Gemäß der Erfindung erfolgt dabei gleichzeitig eine Protokollierung der Protokollierungstiefe n - 1 vorangegangener schreibender Speicherzugriffe.

Die Erfindung ist somit vorteilhaft für Chipkartenanwendungen geeignet, welche eine hohe Anzahl von schreibenden Speicherzugriffen und eine Protokollierung vorangegangener, schreibender Speicherzugriffe aufweisen sollen.

Weitere vorteilhafte Ausführungsformen der Erfindung sind in den entsprechenden Unteransprüchen angegeben.

Die Erfindung wird desweiteren anhand der in den nachfolgend kurz angeführten und oben bereits zum Teil beschriebenen Figuren dargestellten Ausführungsbeispiele weiter erläutert. Dabei zeigt beispielhaft:

Fig. 1 einen bekannten Aufbau eines Speichers, welcher in Form eines sogenannten 'ringpufferartigen Speicherbereichs' vorliegt und eine Protokollierung vorangegangener, schreibender Speicherzugriffe aufweist, und

Fig. 2 einen bekannten Aufbau eines Speichers, welcher in Form eines sogenannten 'multischreibfähigen Speicherbereichs' ohne Protokollierungsmöglichkeit vorliegt.

Fig. 3 eine schematische Darstellung einer gemäß der Erfindung aufgebauten Chipkarte,

Fig. 4a einen gemäß einer Ausführungsform der Erfindung gestalteten Aufbau des Speichers mit Speicherbereichen und diesen zugeordneten Kennfeldern und Kennwerten,

Fig. 4b den in der **Fig. 4a** dargestellten Aufbau des Speichers, wobei die Änderung der Kennwerte dargestellt ist, welche durch einen schreibenden Speicherzugriff bewirkt werden.

In der **Fig. 3** ist eine gemäß der Erfindung aufgebaute Chipkarte CK mit einem Hauptspeicher S dargestellt. Der Hauptspeicher S weist dabei zumindest einen nichtflüchtigen Speicher PS auf, dessen Speicherzellen F11 .. Fnm eine maximale Anzahl von schreibenden Speicherzugriffen ermöglichen. Unter schreibenden Speicherzugriffen sind dabei Speicherzugriffe zu verstehen, welche den Dateninhalt von Speicherzellen F11 .. Fnm verändern, wie beispielsweise Schreib- und Löschzugriffe. Als nichtflüchtiger Speicher PS dienen beispielsweise sogenannte EEPROM-Speicherbausteine. Des weiteren weist die Chipkarte CK eine Programmausführungseinheit P auf. Diese umfaßt beispielsweise einen Mikroprozessor, Ein-/Ausgabeschchnittstellen, ein Adreßregister und einen Programmzähler, sowie möglicherweise weitere flüchtige und/oder nichtflüchtige Speicher, insbesondere sogenannte RAM- und/oder ROM-Speicherbausteine.

In den **Fig. 4a** und **4b** ist jeweils beispielhaft ein gemäß der Erfindung gestalteter Aufbau des nichtflüchtigen Speichers PS dargestellt. Dieser weist zumindest Speicherbereiche F1 .. Fn auf, denen gemäß der Erfindung jeweils ein Kennfeld z1 .. zn zugeordnet ist. Die Speicherbereiche F1 .. Fn setzen sich dabei insbesondere aus Speicherzellen F11 .. Fnm des nichtflüchtigen Speichers PS zusammen. Im Beispiel der **Fig. 4a** und **4b** weisen die Speicherbereiche F1 .. Fn jeweils m Speicherzellen F11 .. F1m bis Fn1 .. Fnm auf. Vorzugsweise weisen die Speicherbereiche F1 .. Fn dabei die gleiche, beliebige Größe auf. Der nichtflüchtige Speicher PS kann in Form eines einzigen Speicherbausteins oder auch auf mehrere Speicherbausteine verteilt auf der Chipkarte CK vorliegen.

Des weiteren weisen die in den **Fig. 4a** und **4b** dargestellten Kennfelder z1 .. zn jeweils einen Kennwert $i \dots i + (n - 1)\Delta$ bzw. $i + 1\Delta \dots i + n\Delta$ auf. Die Größe der Kennwerte $i \dots i + (n - 1)\Delta$ bzw. $i + 1\Delta \dots i + n\Delta$ ist dabei ein Maß für die zeitliche Abfolge F, mit der schreibende Speicherzugriffe auf die jeweils zugeordneten Speicherbereiche F1 .. Fn erfolgt sind. Gemäß der Erfindung greift die Programmausführungseinheit P der Chipkarte CK bei einem schreibenden Speicherzugriff auf den Speicher PS auf denjenigen Speicherbereich F2 bzw. F3 zu, welcher als ältester beschrieben wurde. Die Bestimmung des ältest beschriebenen Speicherbereichs F2 bzw. F3 wird durch die Auswertung der Kennwerte $i \dots i + (n - 1)\Delta$ bzw. $i + 1\Delta \dots i + n\Delta$ bewirkt. Des weiteren wird gemäß der Erfindung durch die Programmausführungseinheit P der Kennwert i bzw. $i + 1\Delta$ des diesem zugeordneten Kennfelds z2 bzw. z3 derartig verändert, daß der zugeordnete Speicherbereich F2 bzw. F3 von der Programmausführungseinheit P als jüngster beschriebener erkannt wird.

In einer bevorzugten und in den **Fig. 4a** und **4b** dargestellten Ausführungsform bilden die Kennwerte $i \dots i + (n - 1)\Delta$ bzw. $i + 1\Delta \dots i + n\Delta$ der Kennfelder z1 .. zn eine auf- bzw. absteigende Folge X. Bei einem schreibenden Speicherzugriff auf den Speicher PS wird durch die Programmausführungseinheit P erfindungsgemäß der entsprechende Kennwert i durch Erhöhung bzw. Erniedrigung derartig verändert, daß dieser in der auf- bzw. absteigenden Folge X der Kennwerte $i \dots i + n\Delta$ den höchsten bzw. niedrigsten Wert aufweist. Insbesondere wird dabei zur Erhöhung bzw. Erniedrigung eines Kennwerts eine Konstante $n\Delta$ ad-

diert bzw. subtrahiert. Die Konstante $n\Delta$ weist beispielsweise mit einem $\Delta = 1$ den Wert $n\Delta = n$ auf.

Wird bei der Erhöhung eines Kennwerts ein Maximalwert überschritten, so wird der Kennwert vorzugsweise auf einen Minimalwert gesetzt. Dies kann beispielsweise der Fall sein, wenn als Kennfeld z1 .. zn ein Speicher-Byte verwendet und dessen Maximalwert von dezimal 255 überschritten wird. Es erfolgt dann beispielsweise das Rücksetzen auf einen Minimalwert von dezimal 0. Entsprechend umgekehrt kann bei einer anderen vorteilhaften Ausführungsform der Erfindung bei der Erniedrigung von Kennwerten bei Unterschreitung eines Minimalwerts der Kennwert auf einen Maximalwert gesetzt werden.

Die Anzahl n der Speicherbereiche F1 .. Fn der Chipkarte CK kann insbesondere auf die maximal mögliche Anzahl von den Speicherinhalt verändernden Zugriffen auf einen Speicherbereich F1 .. Fn oder auf die Länge der notwendigen Protokollierungsschritte abgestimmt werden. Die Anzahl der Protokollierungsschritte entspricht dabei der Anzahl n der Speicherbereiche F1 .. Fn. Die maximale Gesamtanzahl möglicher schreibender Speicherzugriffe auf den Speicher PS der Chipkarte CK entspricht dabei dem Produkt aus der Anzahl n der Speicherbereiche F1 .. Fn und der maximalen Anzahl schreibender Speicherzugriffe, welche jeweils ein Speicherbereich F1 .. Fn des Speichers PS zuläßt.

Im Folgenden wird an dem in den **Fig. 4a** und **4b** dargestellten Beispiel beschrieben, wie bei der Chipkarte CK gemäß der Erfindung schreibende Speicherzugriffe durch Rotation auf die entsprechenden Speicherbereiche F1 .. Fn des Speichers PS geleitet werden. Vorteilhaft werden somit eine maximale Anzahl von den Speicherinhalt verändernden Zugriffen auf den Speicher PS ermöglicht und eine gleichzeitige Protokollierung der Speicherzugriffe bewirkt. Der Speichers PS bildet somit insbesondere einen ringpufferartig aufgeteilten Speicher, welcher auch als sogenanntes 'Cyclic File' bezeichnet wird. Dies ist in den **Fig. 4a** und **4b** beispielhaft durch die Pfeile s dargestellt. Die Kennfelder z1 in **Fig. 4a** bzw. z2 in **Fig. 4b** mit dem größten Kennwert $i + (n - 1)\Delta$ bzw. $i + n\Delta$ werden hier von der Programmausführungseinheit P als die jeweils jüngst beschriebenen erkannt:

Im Beispiel der **Fig. 4a** weist das Kennfeld z1 den größten Kennwert $i + (n - 1)\Delta$, das Kennfeld z2 den kleinsten Kennwert i auf. Der dem Kennfeld z1 zugeordnete und im Beispiel der **Fig. 4a** grau gefärbte Speicherbereich F1 enthält somit die aktuellsten, d. h. jüngsten Dateninhalte, während der Kennfeld z2 zugeordnete Speicherbereich F2 die ältesten Dateninhalte enthält. Die bezüglich der Folge X bzw. der zeitlichen Abfolge F dazwischen liegenden Kennfelder z3 .. zn bzw. der diesen zugeordneten Speicherbereichen F3 .. Fn enthalten gemäß der Erfindung Dateninhalte, welche in der zeitlichen Abfolge zwischen dem jüngsten und ältesten schreibenden Speicherzugriff im Speicher PS abgespeichert wurden. Dadurch wird gemäß der Erfindung eine Protokollierung bewirkt. Des weiteren sind insbesondere auch andere Zuordnungsalgorithmen zur Zuordnung von Kennwerten zu den Kennfeldern z1 .. zn anwendbar. Die Programmausführungseinheit P der Chipkarte CK bestimmt dabei mittels Auswertung der Kennfelder z1 .. zn die zeitliche Abfolge F der schreibenden Speicherzugriffe auf die Speicherbereiche F1 .. Fn.

Ein auf den Speicher PS der Chipkarte CK erfolgender schreibender Speicherzugriff, beispielsweise ein Schreibzugriff, erfolgt gemäß der Erfindung auf den Speicherbereich, welcher als ältester beschrieben wurde. Im Beispiel der **Fig. 4a** ist dies der Speicherbereich F2, da das diesem zugeordnete Kennfeld z2 den gegenüber den anderen Kennwerten kleinsten Kennwert i aufweist. Bei einem Schreibzugriff wird nun erfindungsgemäß der Kennwert i des Kennfelds z2

erhöht, wie in der **Fig. 4b** dargestellt ist. Während im Beispiel der **Fig. 4a** der größte Kennwert in Höhe von $i + (n - 1)\Delta$ im Kennfeld $z1$ vorlag, liegt in der **Fig. 4b** der größte Kennwert in Höhe von $i + n\Delta$ nun im Kennfeld $z2$ vor. Im Beispiel der **Fig. 4b** erkennt die Programmausführungseinheit P somit den dem Kennfeld $z2$ zugeordneten und grau gefärbten Speicherbereich $F2$ als den jüngsten beschriebenen. Bei einem weiteren schreibenden Speicherzugriff würde nun auf das den kleinsten Kennwert $i + 1\Delta$ aufweisende Kennfeld $z3$ und den diesem zugeordneten Speicherbereich $F3$ zugegriffen werden.

wert gesetzt werden.

Hierzu 2 Seite(n) Zeichnungen

Patentansprüche

1. Chipkarte (CK) mit einer Programmausführungseinheit (P) und einem nichtflüchtigen Speicher (PS), dessen Speicherzellen ($F1 \dots Fm$) eine maximale Anzahl von schreibenden Speicherzugriffen zuläßt, wobei
 - a) der nichtflüchtige Speicher (PS) zumindest Speicherbereiche ($F1 \dots Fn$) aufweist, denen jeweils ein Kennfeld ($z1 \dots zn$) zugeordnet ist,
 - b) die Kennfelder ($z1 \dots zn$) jeweils einen Kennwert ($X, i \dots i + (n - 1)\Delta$) aufweisen, wobei die Größe der Kennwerte ($i \dots i + (n - 1)\Delta$) ein Maß für die zeitliche Abfolge (F) ist, mit der schreibende Speicherzugriffe auf die jeweils zugeordneten Speicherbereiche ($F1 \dots Fn$) erfolgt sind, und
 - c) die Programmausführungseinheit (P) bei einem schreibenden Zugriff auf den nichtflüchtigen Speicher (PS)
 - c1) durch Auswertung der Kennwerte ($X, i \dots i + (n - 1)\Delta$) den Speicherbereich (F2) bestimmt, welcher als ältester beschriebener wurde, und auf diesen zugreift, und
 - c2) den Kennwert (i) des diesem zugeordneten Kennfelds ($z2$) derartig verändert, daß der zugeordnete Speicherbereich (F2) von der Programmausführungseinheit (P) als jüngster beschriebener erkannt wird.
2. Chipkarte (CK) nach Anspruch 1, wobei der nichtflüchtige Speicher (PS) in Form wenigstens eines EEPROM-Speicherbausteins vorliegt.
3. Verfahren zum Betrieb einer Chipkarte (CK) nach einem der vorangegangenen Ansprüche, wobei
 - a) die Kennwerte ($i \dots i + (n - 1)\Delta$) der Kennfelder ($z1 \dots zn$) eine auf- bzw. absteigende Folge (X) bilden, und
 - b) die Programmausführungseinheit (P) bei einem schreibenden Speicherzugriff auf den nichtflüchtigen Speicher (PS) den entsprechenden Kennwert (i) durch Erhöhung bzw. Erniedrigung derartig verändert, daß dieser in der auf- bzw. absteigenden Folge (X) der Kennwerte ($i \dots i + n\Delta$) den höchsten bzw. niedrigsten Wert ($i + n\Delta$) aufweist.
4. Verfahren nach Anspruch 3, wobei zur Erhöhung bzw. Erniedrigung eines Kennwerts ($i + 1\Delta$) eine Konstante ($n\Delta$) addiert bzw. subtrahiert wird.
5. Verfahren nach Anspruch 4, wobei die Konstante ($n\Delta$) der Anzahl der Speicherbereiche ($F1 \dots Fn$) entspricht.
6. Verfahren nach einem der Ansprüche 3 bis 5, wobei Kennwerte ($i \dots i + n\Delta$), welche bei einer Erhöhung einen Maximalwert überschreiten, auf einen Minimalwert gesetzt werden.
7. Verfahren nach einem der Ansprüche 3 bis 5, wobei Kennwerte ($i \dots i + n\Delta$), welche bei einer Erniedrigung einen Minimalwert unterschreiten, auf einen Maximal-

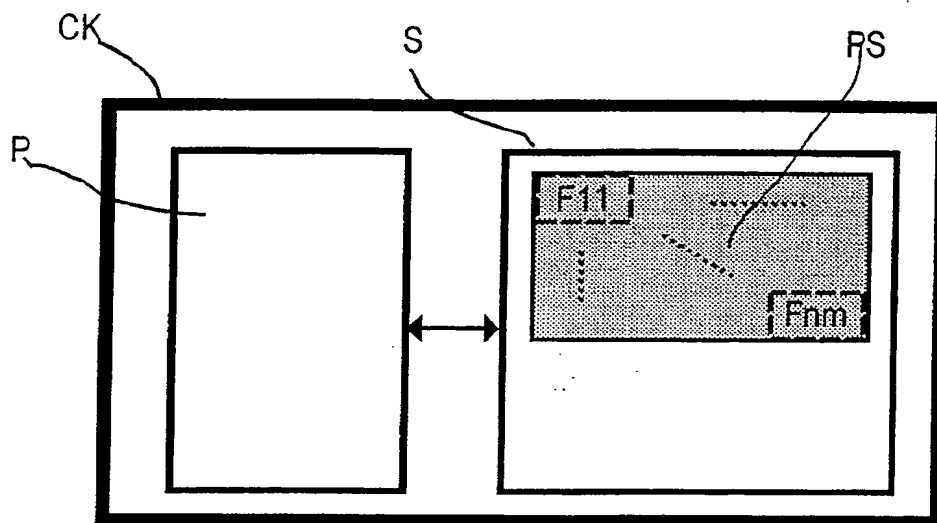


FIG 3

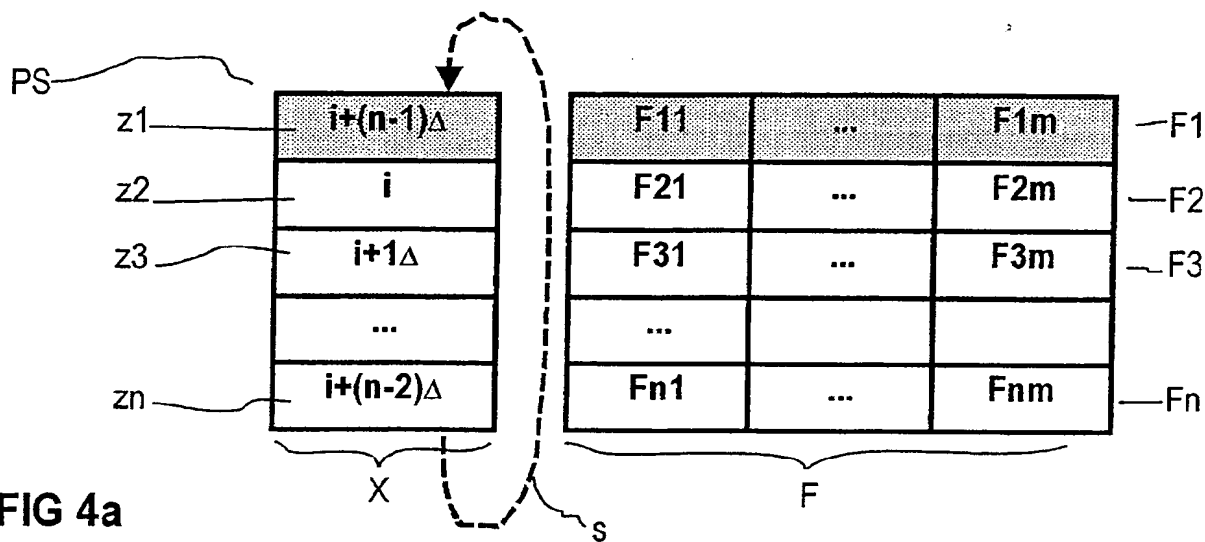


FIG 4a

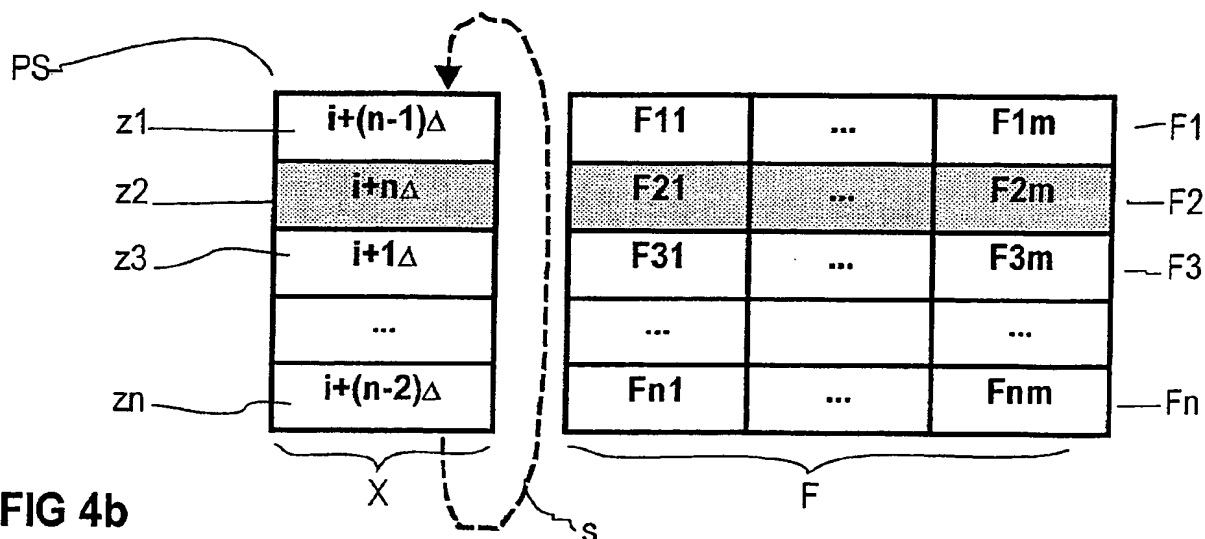


FIG 4b

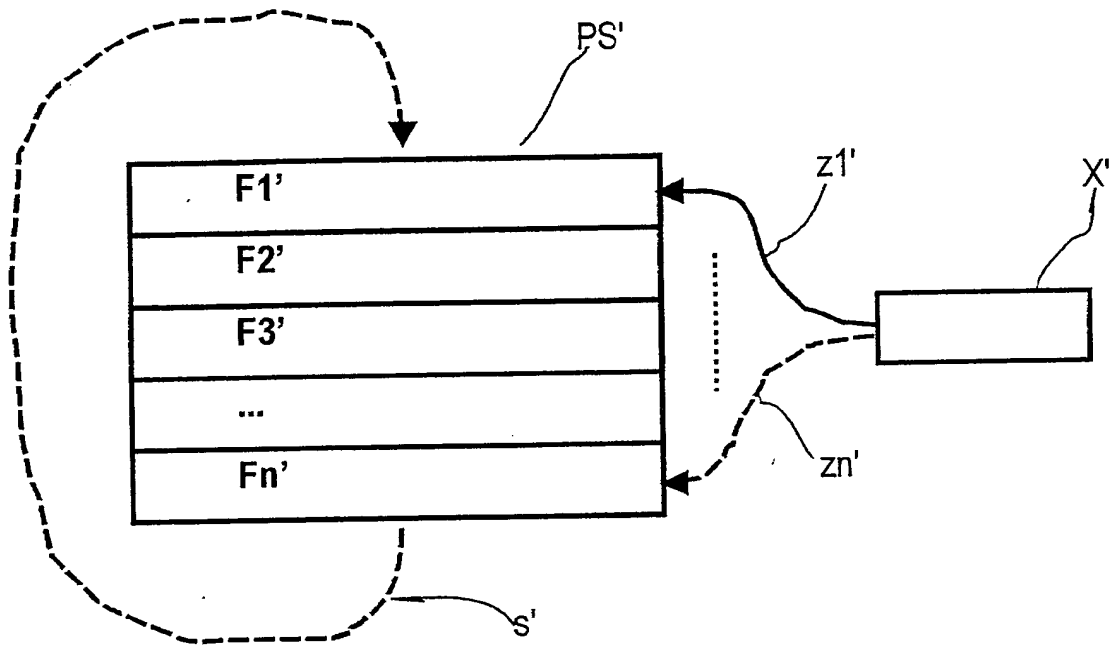


FIG 1 (Stand der Technik)

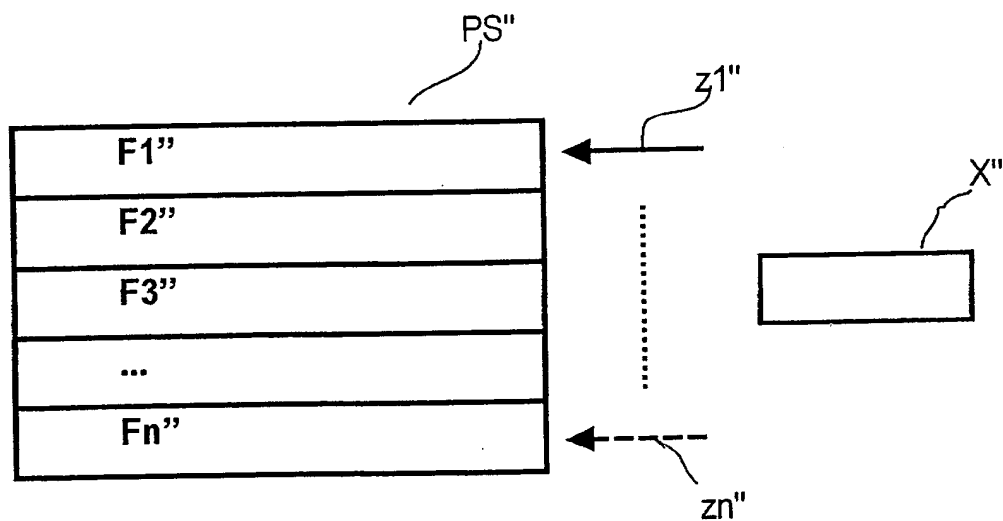


FIG 2 (Stand der Technik)

Chip card with memory access maximization and protocol

Patent number: DE19718479
Publication date: 1998-09-24
Inventor: WEINLAENDER MARKUS (DE)
Applicant: SIEMENS AG (DE)
Classification:
- **international:** G11C16/06
- **european:** G11C16/10E, G11C16/34W
Application number: DE19971018479 19970430
Priority number(s): DE19971018479 19970430

Also published as:



WO9849622 (A1)

Abstract of DE19718479

The chip card (CK) includes a program execution unit (P) and a non-volatile memory (PS), preferably an EEPROM memory component, whose memory cells (F11.. Fnm) admit a maximum amount of write memory accesses. The non-volatile memory comprises at least memory areas (F1.. Fn) which are associated respectively with an index field (z1.. zn). The index fields comprise respectively an index value (X, i.. i+(n-1) DELTA), whereby the size of the index values is a measure for the temporal sequence (F) in which the write memory access occurred on the respectively associated memory areas. The program execution unit determines through evaluation of the index values at a write access on the non-volatile memory, the memory area (F2) which corresponds to the oldest write access. It accesses the memory area whereby it modifies the index value of the associated index field (22) in such way, that the associated memory area is recognized by the program execution unit as latest inscribed.

Data supplied from the esp@cenet database - Worldwide

